

#2

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE**FEE TRANSMITTAL  
for FY 2002**

Patent fees are subject to annual revision.

**TOTAL AMOUNT OF PAYMENT** (\$) 0.00**Complete if Known**

Application Number	10/064,041
Filing Date	06/04/2002
First Named Inventor	Chun-Chih Yang
Examiner Name	
Group Art Unit	
Attorney Docket No.	VIAP0040USA

**METHOD OF PAYMENT**

- 1.
- ☐
- The Commissioner is hereby authorized to charge indicated fees and credit any overpayments to:

Deposit  
Account  
Number

50-0801

Deposit  
Account  
NameNorth America International Patent  
Office

- ☒
- Charge Any Additional Fee Required
- 
- Under 37 CFR 1.16 and 1.17

- ☐
- Applicant claims small entity status.
- 
- See 37 CFR 1.27

- 2.
- ☐
- Payment Enclosed:**

☐ Check ☐ Credit card ☐ Money  
Order ☐ Other**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description
-------------	-------------	-------------	-------------	-----------------

101	740	201	370	Utility filing fee
106	330	206	165	Design filing fee
107	510	207	255	Plant filing fee
108	740	208	370	Reissue filing fee
114	160	214	80	Provisional filing fee

Fee Paid

**SUBTOTAL (1)** (\$) 0.00**2. EXTRA CLAIM FEES**

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	-20** =	X	=
Multiple Dependent Claims	-3** =	X	=

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description
-------------	-------------	-------------	-------------	-----------------

103	18	203	9	Claims in excess of 20
102	84	202	42	Independent claims in excess of 3
104	280	204	140	Multiple dependent claim, if not paid
109	84	209	42	** Reissue independent claims over original patent
110	18	210	9	** Reissue claims in excess of 20 and over original patent

**SUBTOTAL (2)** (\$) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

**FEE CALCULATION (continued)****3. ADDITIONAL FEES**

Fee Code	Large Entity Fee (\$)	Small Entity Fee (\$)	Fee Description	Fee Paid
105	130	205	65	Surcharge - late filing fee or oath
127	50	227	25	Surcharge - late provisional filing fee or cover sheet
139	130	139	130	Non-English specification
147	2,520	147	2,520	For filing a request for <i>ex parte</i> reexamination
112	920*	112	920*	Requesting publication of SIR prior to Examiner action
113	1,840*	113	1,840*	Requesting publication of SIR after Examiner action
115	110	215	55	Extension for reply within first month
116	400	216	200	Extension for reply within second month
117	920	217	460	Extension for reply within third month
118	1,440	218	720	Extension for reply within fourth month
128	1,960	228	980	Extension for reply within fifth month
119	320	219	160	Notice of Appeal
120	320	220	160	Filing a brief in support of an appeal
121	280	221	140	Request for oral hearing
138	1,510	138	1,510	Petition to institute a public use proceeding
140	110	240	55	Petition to revive - unavoidable
141	1,280	241	640	Petition to revive - unintentional
142	1,280	242	640	Utility issue fee (or reissue)
143	460	243	230	Design issue fee
144	620	244	310	Plant issue fee
122	130	122	130	Petitions to the Commissioner
123	50	123	50	Processing fee under 37 CFR 1.17(q)
126	180	126	180	Submission of Information Disclosure Stmt
581	40	581	40	Recording each patent assignment per property (times number of properties)
146	740	246	370	Filing a submission after final rejection (37 CFR § 1.129(a))
149	740	249	370	For each additional invention to be examined (37 CFR § 1.129(b))
179	740	279	370	Request for Continued Examination (RCE)
169	900	169	900	Request for expedited examination of a design application

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

**SUBTOTAL (3)** (\$) 0.00**SUBMITTED BY**

Name (Print/Type)

WINSTON HSU

Registration No.  
(Attorney/Agent)

41,526

**Complete (if applicable)**

Telephone

886-2-8923-7350

Signature

Winston Hsu

Date

6/12/2002

**WARNING:** Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



2420  
9123

PTO/SB/24 (08-00)

Approved for use through 10/31/2002. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Application Number	10/064,041
Filing Date	06/04/2002
First Named Inventor	Chun-Chih Yang
Group Art Unit	
Examiner Name	
Attorney Docket Number	VIAP0040USA

RECEIVED

JUN 20 2002

Total Number of Pages in This Submission

## ENCLOSURES (check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Assignment Papers (for an Application)	<input type="checkbox"/> After Allowance Communication to Group
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment / Reply	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

Remarks

## SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	WINSTON HSU
Signature	<i>Winston Hsu</i>
Date	6/12/2002

## CERTIFICATE OF MAILING

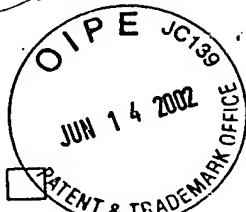
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date:

Typed or printed name

Signature

Date

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Please type a plus sign (+) inside this box → ☐

PTO/SB/02B (3-97)  
Approved for use through 9/30/98, OMB 0651-0032  
Patent and Trademark Office, U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

## DECLARATION — Supplemental Priority Data Sheet

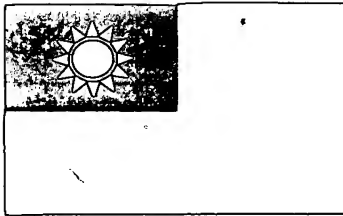
Additional foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
090117751	Taiwan, R.O.C.	07/20/2001	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Additional provisional applications:	
Application Number	Filing Date (MM/DD/YYYY)
	<b>RECEIVED</b> <b>JUN 20 2002</b> Technology Center 2100

Additional U.S. applications:			
U.S. Parent Application Number	PCT Parent Number	Parent Filing Date (MM/DD/YYYY)	Parent Patent Number (if applicable)

Burden Hour Statement: This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.





中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder：

申請日：西元 2001 年 07 月 20 日  
Application Date

申請案號：090117751  
Application No.

RECEIVED

JUN 20 2002

申請人：威盛電子股份有限公司 Technology Center 2100  
Applicant(s)

局長  
Director General

陳明邦

發文日期：西元 2002 年 6 月 10 日  
Issue Date

發文字號：09111010304  
Serial No.

90117751

申請日期：

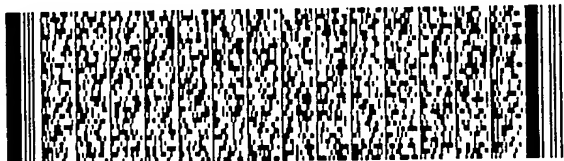
案號：

類別：

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	保存電路模擬文字檔註解之方法
	英文	Method to Preserve Comments of Circuit Simulation Text File
二、 發明人	姓名 (中文)	1. 楊君智
	姓名 (英文)	1. Yang, Chun-Chih
	國籍	1. 中華民國
	住、居所	1. 台北縣中和市大智街五十五巷三十弄五十八之一號
三、 申請人	姓名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路535號8樓
	代表人 姓名 (中文)	1. 王雪紅
	代表人 姓名 (英文)	1.

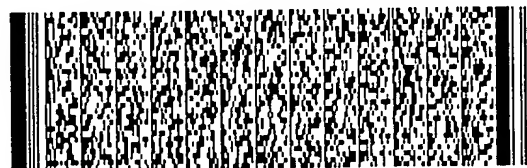
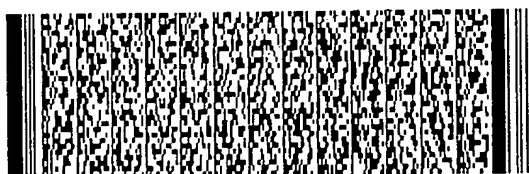


四、中文發明摘要 (發明之名稱：保存電路模擬文字檔註解之方法)

本發明係提供一種電腦系統之運算方法，用來相互轉換文字檔及電路佈局，讓使用者得以更新文字檔及電路佈局，該方法包含有：將一文字檔中之硬體描述編譯為與其相對應之電路佈局；將該文字檔中之註解文字依據一預定之轉換規則編譯為一符號串；更新該電路佈局並將更新後之電路佈局編譯為與其相對應之硬體描述；以及將該符號串依據該轉換規則編譯為該註解文字並將該註解文字插入與該更新後之電路佈局相對應的硬體描述以產生更新後之文字檔。

英文發明摘要 (發明之名稱：Method to Preserve Comments of Circuit Simulation Text File)

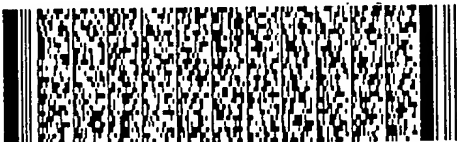
This invention provides a computer algorithm to convert text files to circuit layouts so that a user can update the circuit layout and corresponding text file. The method comprises: compiling the hardware description in a text file to the corresponding circuit layout; compiling the comment text in the text file to a code stream according to a predetermined conversion rule; updating the circuit layout and compiling the updated circuit layout to the corresponding



四、中文發明摘要 (發明之名稱：保存電路模擬文字檔註解之方法)

英文發明摘要 (發明之名稱：Method to Preserve Comments of Circuit Simulation Text File)

hardware description; and compiling the code stream to the comment text, and inserting the comment text to the hardware description corresponding to the updated circuit layout so as to generate an updated text file.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

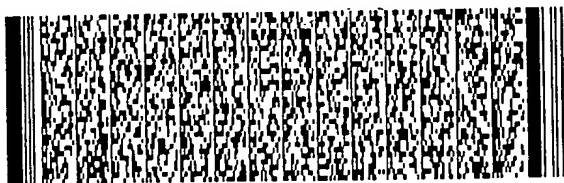
### 發明之領域：

本發明係提供一種可保存電路模擬文字檔中註解文字的方法，尤指一種以特定轉換規則將註解文字編譯成符號串以保留註解文字的方法。

### 背景說明：

由於半導體電路科技的發達，以電子電路來處理各種電子訊號形式的資訊，已成為現代資訊社會發展的重要基礎。小至個人使用的行動電話、個人電腦，大至處理數萬用戶的中央處理機，莫不是以各種功能複雜的電子電路來實現。為了因應日趨複雜的電子電路設計，以電腦系統來輔助電子電路設計已經是時勢所趨。尤其是用來處理數位資訊的數位式電子電路及邏輯電路，其用途廣泛，電路結構又可以模組化，故資訊業界莫不積極研發以電腦系統輔助數位電路設計之技術，以電腦系統模擬電路設計、對電路設計除錯，以改良電路的性能。

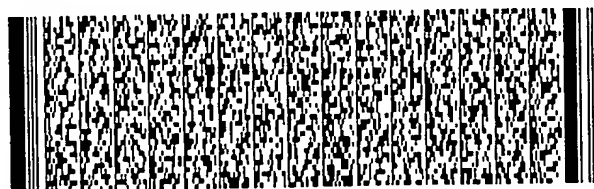
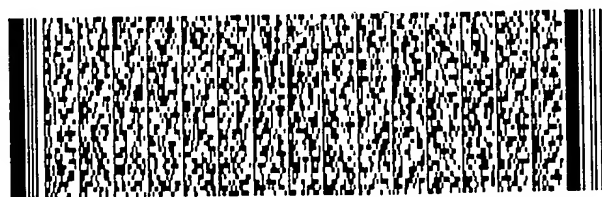
請參考圖一。圖一為一習知電腦輔助電路設計之流程示意圖。在以電腦來輔助電路設計時，使用者（像是研發工程師）會先將 <sup>hardware description</sup> 硬體描述 14A 記錄於一文字檔 14 中，並加上適當的註解文字 14B。硬體描述 14A 用來描述電路的具體設計，例如電路中所需的電路元件、邏輯區塊及各電路



## 五、發明說明 (2)

元件間相互連接的情形。註解文字 14B則用來記載電路設計的重要相關事項，例如某電路元件的特殊用途、電路設計的設計理念。接下來使用者可利用電腦系統來執行一電子設計輔助程式 (EDA tool, Electronic Design Aided tool) 12，將文字檔 14讀入。電子設計輔助程式 12可根據文字檔 14中的硬體描述 14A編譯模擬為一對應的電路佈局 16，讓使用者可模擬電路佈局 16，瞭解電路佈局 16的工作情形，並透過電子設計輔助程式 12對電路佈局 16做進一步的更新、改進與除錯。一旦使用者滿意更新後的電路佈局 16，就可再度利用電子設計輔助程式 12將更新後的電路佈局 16編譯為對應的硬體描述 18A，並輸出成另一文字檔 18，讓使用者能藉著硬體描述 18A來留存或更進一步瞭解更新後的電路佈局。

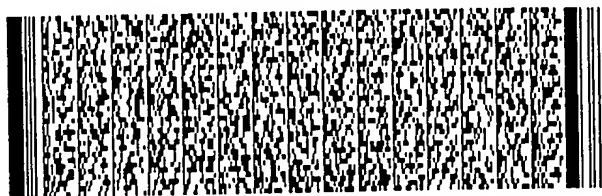
請繼續參考圖二。圖二為文字檔 14一簡單的範例。依據電路描述語言 Verilog 的格式規定，圖二中的硬體描述 14A描述了一個雙輸入的及閘 (AND gate)。其中「AND2」表示電路單元的種類 (type)；「name」表示此一電路單元的識別名稱；括號中的「A(In1)」、「B(In2)」表示此電路單元的兩輸入埠分別為「A」、「B」；「Y(out)」表示電路單元的輸出埠為「Y」。為了增加硬體描述語言規格的彈性，電路描述語言 Verilog 允許在硬體描述中加入空白 (white space)；具體來說，空白可由三種代碼任意排列組合而成，此三種代碼分別是空白 (space) 碼、跳格



### 五、發明說明 (3)

(Tab)碼及換行碼。如圖二中的例子，硬體描述 14A中就間雜有空白碼 20(即佔用一字寬的空白)、跳格碼 22(佔用數個字寬的空白)及換行碼 24(在句子末端用來重起一行)。電子設計輔助程式 12在將硬體描述 14A編譯成電路佈局 16時，會直接跳過這些空白處而不加以處理，所以文字檔 14中任何的空白都不會影響電子輔助程式 12的執行結果。舉例來說，即使在圖二中硬體描述 14A之「AND2」後直接插入一換行碼<sup>24</sup>將「name」及後續描述退入新的一行，其經過電子設計輔助程式 12後重新產生的電路佈局，和沒有在「AND2」後換行的硬體描述對應之電路佈局，兩者會是相同的。

由於硬體描述必須遵循一定的語言規格，其形式較為死板而不具彈性，可讀性也很低。所以，一般的硬體描述語言規格也都容許使用者在文字檔中加入註解文字。如圖二中的文字檔 14中就有兩處註解文字 14B。一處註解文字是以「//」啟始的單行註解文字；另一處則是以「/\*」開始，以「\*/」結束的多行註解文字。使用者可以用註解文字來註解電路的設計原理、電路的用途，某一電路元件(或一邏輯區塊)的設計用途或是某一電路元件的特殊功能。這些註解都是很難(或甚至無法)由硬體描述中讀出的；加上了這些註解文字，可大幅增加硬體描述的可讀性，讓使用者能追縱電路發展的設計精神，快速掌握整個電路的結構，而不必逐行解讀可讀性甚低的硬體描述才能



#### 五、發明說明(4)

瞭解電路的全貌。

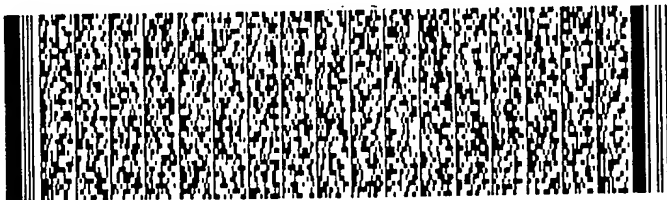
然而，正如圖一中所示，在習知的電路設計模擬過程中，電子設計輔助程式 12 將文字檔 14 編譯成電路佈局 16 後，是不會保留註解文字 14B 的。當使用者透過電子設計模擬程式 12 更新電路佈局 16 並將其編譯為對應的硬體描述 18A 後，註解文字 14B 也隨之喪失；當電子設計輔助程式 12 將硬體描述 18A 輸出於文字檔 18 後，文字檔 18 中已經沒有任何註解文字了。

習知技術中無法保留註解文字，會大幅降低文字檔 18 中硬體描述 18A 的可讀性，也無法保留註解文字中有關電路設計的原理等知識。如此一來電路設計的資訊、知識與經驗將無法留存累積，對電路設計技術之發展進步有不良的影響。

發明概述：

因此，本發明之主要目的在於提供一種能在電子輔助設計程式中保留註解文字的方法，以克服習知技術的缺點。

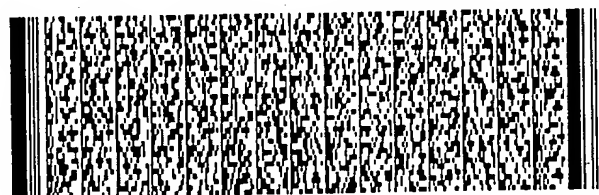
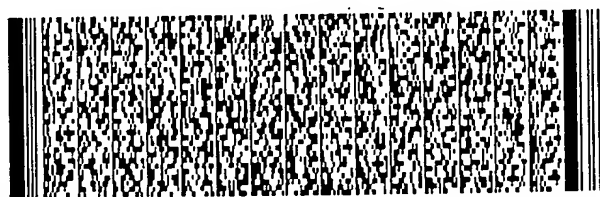
發明之詳細說明：



#### 五、發明說明 (5)

請參考圖三。圖三為本發明方法以電腦輔助電路設計流程之示意圖。一開始，使用者（如電路設計工程師）要先將電路的設計以特定的電路描述語言（如電路描述語言 Verilog）來描述電路的設計，並寫成文字檔 30 中的硬體描述 30A。電路設計的原理、各電路元件間的關係等資料，則可記錄於註解文字 30B 中。註解文字 30B 可穿插於硬體描述 30A 之間（當然，文字檔 30 中可以有多處的註解文字 30B；圖三中有兩處註解文字 30B 的文字檔 30 僅是一方便說明的實施例）。文字檔 30 的基本結構，就類似於圖二中文字檔 14 的樣子；也就是說，在本發明技術中，使用者不必改變撰寫硬體描述及註解文字的習慣，就能在電子設計輔助程式作用後保留註解文字。

為了要保留註解文字 30B，本發明方法中會將註解文字 30A 先依照一特定的轉換規則編譯為對應的符號串 32B，存於一資料庫（而此資料庫係為一種儲存裝置，例如記憶體、或者硬碟）32 中；硬體描述 30A 則會維持不變，依照原來的內容儲存於資料庫 32 中。如前所述，一般的電路描述語言都會有一些可彈性添加的符號代碼，像是電路描述語言 Verilog 中代表空白 (white space) 的空格碼、跳格碼與換行碼。這些空白可任意添加於文字檔中；而電子設計輔助程式會忽略這些空白處，直接將硬體描述編譯成對應的電路佈局。本發明技術即是利用此一特性，將註解文字中的不同字元以這些可彈性添加之字元符號的不同排列組合

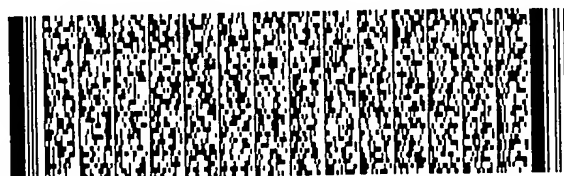
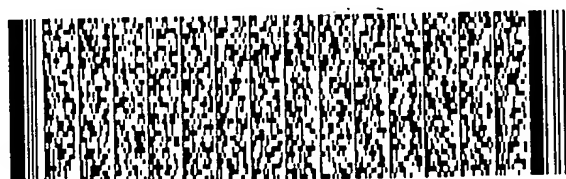


#### 五、發明說明 (6)

來取代，而成為對應的符號串。以電路描述語言 Verilog 為例，本發明就可用空格碼、跳格碼與換行碼的不同排列組合來表示註解文字中的不同字元而將其轉換成對應的符號串。本發明將註解文字編譯成符號串的過程稍後還會有更進一步的討論。

將文字檔 30 中各處之註解文字 30B 編譯為對應的符號串 32B 而存於資料庫 32 之後，就可由電子設計輔助程式 34 來讀取資料庫 32 中的硬體描述 30A，並將其編譯為對應的電路佈局 36，讓使用者能透過電子設計輔助程式 34 模擬電路佈局 36 工作的情形並加以分析；使用者則可藉由電子設計輔助程式 34 來更新、除錯與改進電路佈局 36 的設計。如前所述，由於資料庫 32 中的符號串 32B 都是由電子設計輔助程式 34 會忽略的符號代碼排列組合而成（如空格碼、跳格碼與換行碼等），電子設計輔助程式 36 會直接跳過符號串 32B 而不加處理，僅處理硬體描述 30A 中符合電路描述語言規定格式之指令。這樣一來，在電子設計輔助程式 34 將硬體描述 30A 編譯為電路佈局 36 的過程中，符號串 32B 就會保留下來。

一旦使用者要將更新後的電路佈局 36 由電子設計輔助程式 34 輸出，電子設計輔助程式 34 會將更新後的電路佈局 36 編譯為對應的硬體描述 38A，連同電子設計輔助程式 34 原先忽略跳過的符號串 32B 一併輸出於一資料庫 38 中。之



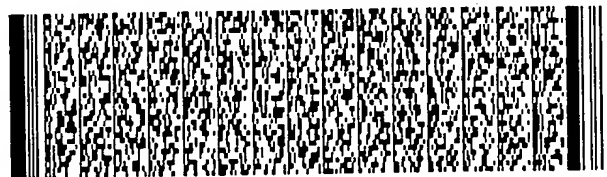
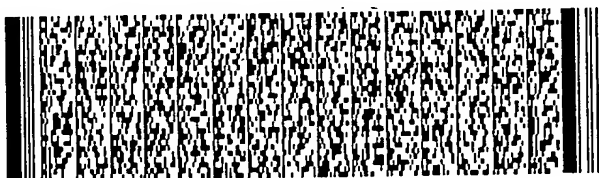
#### 五、發明說明 (7)

後只要將資料庫 38 中的符號串 32B 再度依據前述的轉換規則，把符號串 32B 編譯回為對應的註解文字 30B，連同資料庫 38 中的硬體描述 38A 一同儲存於文字檔 40 中，就能達到本發明保留註解文字的目的了。

為了詳細說明本發明中將文字檔 30 中之註解文字 30B 編譯為對應符號串 32 的過程，請參考圖四。圖四為本發明中將註解文字 30B 編譯為符號串 32 之流程圖；其設有下列步驟：

步驟 42：開始。開始進行編譯的過程。為了便利對本發明之瞭解，在不妨礙本發明技術揭露的情形下，以下將假設本發明係應用於電路描述語言 Verilog 之情形。在上述情形下，圖三中的電子設計輔助程式 34 將跳過資料庫中任何以空格碼、跳格碼及換行碼組成之空白處；而本發明在此情形下就可選用空格碼、跳格碼及換行碼來將註解文字編譯為符號串。

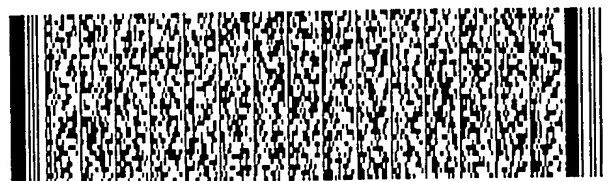
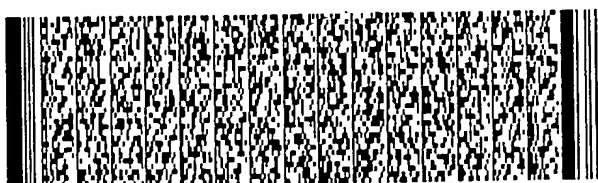
步驟 44：設定符號串的標頭 (header)。為了要識別文字檔分散各處的註解文字（如圖三中之文字檔有兩處註解文字），不同地方的註解文字在編譯成對應的符號串時，各符號串之前可設置一標頭來識別符號串在資料庫中的起始位置。當然，為了在電子設計輔助程式 34 運作後保留標頭，標頭本身也是由電子設計輔助程式 34 會忽略的符號代碼排列組合而成。在採用電路描述語言 Verilog 的情形下，標頭就可用代表空白的空格碼、跳格碼及換行碼之任意排列



#### 五、發明說明 (8)

組合來形成。實際選擇標頭時，可先預設多種不同組合的標頭（如「空格碼-跳格碼-空格碼」的三碼組合為一種標頭；「跳格碼-跳格碼-跳格碼-換行碼」的四碼組合為另一種標頭），再搜尋文字檔 30 中的空白處並解析某一標頭的符號代碼組合是否已經在文字檔中出現過。若該標頭之符號代碼組合已經出現過，表示使用者在建立文字檔時已經使用過該種符號代碼組合，該種符號代碼組合便不宜用來當作標頭。像在圖二硬體描述 14A 之句末就有「空白碼-跳格碼-換行碼」出現，這個三碼組合便不會被選為標頭。相對地，若某種標頭的符號代碼組合在文字檔中未曾出現，就可使用該種符號代碼組合來作為識別符號串開頭處之標頭。由於不同符號代碼排列組合的形式有非常多種可能（事實上，有無限多種），故可用的標頭也有許多種，在本步驟也一定可以選出適用（在文字檔中未曾出現過的）的標頭。

步驟 46：依據預設的轉換規則將註解文字編譯為對應的符號串。也就是說，將註解文字中的所有文字一一轉換成對應之符號代碼之組合。在採用電路描述語言 Verilog 的情形下，註解文字會一一用代表空白的空白碼、跳格碼及換行碼之不同排列組合來代替，以形成對應的符號串。舉例來說，轉換規則可設定將註解文字中的「a」用「空格碼-換行碼」之兩碼組合來代替；文字「b」用「空格碼-空格碼-換行碼」之三碼組合來代替；文字「c」則用「空格碼-空格碼-空格碼-換行碼」之四碼組合來取代，以此類





#### 五、發明說明 (9)

推。這樣一來，本發明就可以將圖三中文字檔 30 之註解文字 30B 編譯成資料庫 32 中的對應符號串 32B。而符號串 32B 中皆是電子設計輔助程式 34 會忽略跳過之符號代碼的排列組合，因此符號串 32B 在電子設計輔助程式 34 運作後可保存下來，達到本發明保留註解文字的目的。

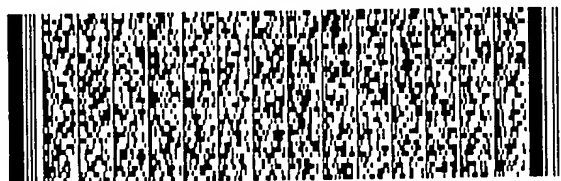
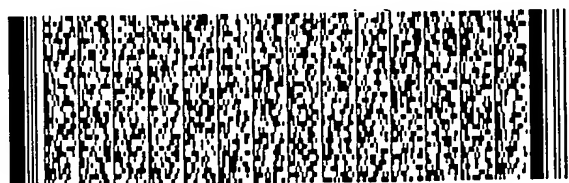
步驟 48：結束。結束上述步驟後，就能將圖三中文字檔 30 中的註解文字 30B 編譯為符號串 32B；並將其與硬體描述 30A 共同儲存於資料庫 32 中。

在電子設計輔助程式 34 運作後，符號串 32B 連同更新的硬體描述 38A 會存於資料庫 38 中。要將資料庫 38 中的符號串 32B 編譯回原來的註解文字 30B，可以進行圖五之流程。請參考圖五。圖五為本發明將符號串編譯回對應註解文字之流程圖；其設有下列步驟：

步驟 52：開始。一旦電子設計輔助程式 34 產生資料庫 38（請參考圖三）後，就可以開始以下流程，將資料庫 38 中的符號 32B 串編譯為對應的註解文字 30B。

步驟 54：搜尋資料庫 38 中的標頭。如前所述，對應各處註解文字的各符號串，其啟始處都在圖四之流程中設置有標頭，用來識別符號串的啟始處。要將各符號串 32B 轉譯為對應之註解文字 30B，就要先搜尋資料庫 38 中的標頭以識別出各符號串 32B。

步驟 56：依照前述的轉換規則將識別出的符號串編譯為對應的註解文字。如圖四中步驟 46 時曾提到過的，註解文字



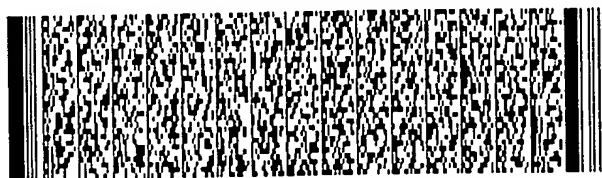
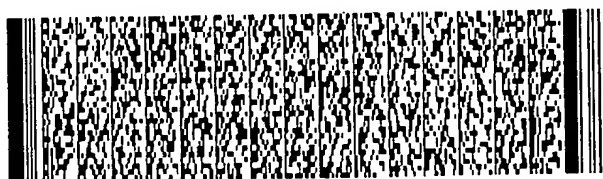
#### 五、發明說明(10)

中的文字「a」可用「空格碼-換行碼」等等轉換規則取代而形成符號串。根據相同的轉換規則，就可以將符號串中各符號代碼的排列組合轉換回對應的文字，譬如說將符號串中出現的「空格碼-換行碼」編譯為註解文字中的「a」。這樣就能將符號串編譯回對應的註解文字了。

步驟 58：結束。將資料庫 38 中的符號串 32B 編譯回對應的註解文字 30B 並存於文字檔 40 後，就可以結束上述的步驟了。

經過圖五流程轉換後的註解文字 30B 會和更新後的硬體描述 38A 共同儲存於文字檔 40 中；如此一來，使用者不僅能在文字檔 40 留存更新後的硬體描述，更能在文字檔 40 中看到註解文字 30B，以提高硬體描述的可讀性，留存電路設計原理等重要資訊，並能進一步累積電路設計的知識與經驗，促進電路設計技術之進步。

在實際實施本發明時，可有多種不同的方式。在進行圖三示意之流程時，可以用一電腦系統之程式來執行圖四中的編譯過程以形成資料庫 32，再將資料庫 32 送入電子設計輔助程式 34 中進行電路模擬；電子設計輔助程式 34 輸出一資料庫 38 可用另一個程式進行圖五之流程將其編譯為對應之文字檔 40。當然，若電子設計輔助程式 34 本身的功能允許，也可直接在電子設計輔助程式中，將文字檔 30 編譯為資料庫 32，並直接對資料庫 32 執行電路模擬之功能；而

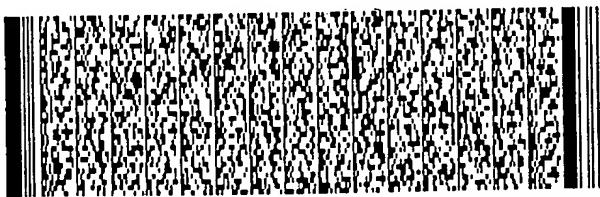


##### 五、發明說明 (11)

後續將資料庫 38 編譯回文字檔 40 之工作，也可以在電子設計輔助程式中一併完成。如此一來使用者可直接以電子設計輔助程式讀入文字檔 30，並輸出保留註解文字後的文字檔 40。

相較於習知技術未能在電子設計輔助程式運作過後保留註解文字；本發明揭露之流程及方法則可順利保留註解文字，便利對電路設計相關資料的保存，更能進一步促進電路設計知識、經驗之累積，強化資訊業界研發之能力。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明：

圖一為習知技術模擬電路之流程的示意圖。

圖二為圖一中文字檔一簡單例子的示意圖。

圖三為本發明技術模擬電路流程之示意圖。

圖四為本發明中將註解文字編譯為符號串之流程圖。

圖五為本發明中將符號串編譯回對應註解文字之流程圖。

### 圖式之符號說明：

30、40 文字檔

30A、38A 硬體描述

30B 註解文字

32、38 資料庫

32B 符號串

34 電子設計輔助程式

42、44、46、48、52、54、56、58步驟



六、申請專利範圍

1. 一種電腦系統之<sup>computer algorithm</sup>運算方法，用來相互轉換<sup>text file</sup>文字檔及<sup>circuit layout</sup>電路佈局，讓使用者得以更新一文字檔及一電路佈局，該方法包含有：

將該文字檔中之一<sup>hardware description</sup>硬體描述編譯為與其相對應之該電路佈局；

將該文字檔中之一<sup>comment text</sup>註解文字依據一預定之<sup>conversion rule</sup>轉換規則編譯為一<sup>code stream</sup>符號串；

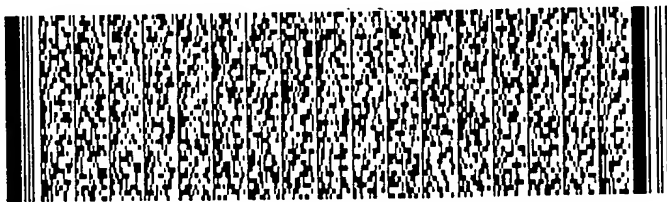
更新該電路佈局成為一更新電路佈局並編譯為與其相對應之一更新硬體描述；以及

將該符號串依據該預定之轉換規則編譯為該註解文字並將該註解文字插入與該更新後電路佈局相對應的該更新硬體描述以產生一更新文字檔。

2. 如申請專利範圍第1項所述之方法，其會依據該預定之轉換規則將該註解文字轉換為與其相異之該符號串。

3. 如申請專利範圍第1項之方法，其中該文件檔係依循一電路描述語言(Verilog)之格式。

4. 如申請專利範圍第3項之方法，其中係以一電子設計輔助程式(EDA, Electronic Design Aided tool)將該硬體描述編譯為與其相對應之該電路佈局，且使用者可透過該電子設計輔助程式更新該電路佈局。



六、申請專利範圍

5. 如申請專利範圍第 1 項之方法，其中該符號串係由空白 (space) 碼、跳格 (Tab) 碼及換行碼選擇性的排列所組成。

6. 如申請專利範圍第 1 項之方法，其另包含有：  
利用複數個特定之代碼之排列形成一標頭 (header)，附加於該符號串之前，用來標示該符號串的 開始處。  
*starting point*

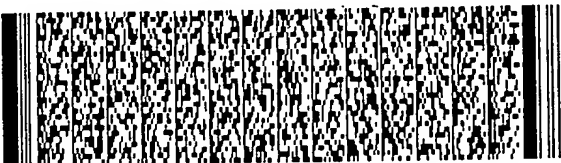
7. 如申請專利範圍第 6 項之方法，其中該些特定之代碼係由空白 (space) 碼、跳格 (Tab) 碼及換行碼選擇性的排列所組成。

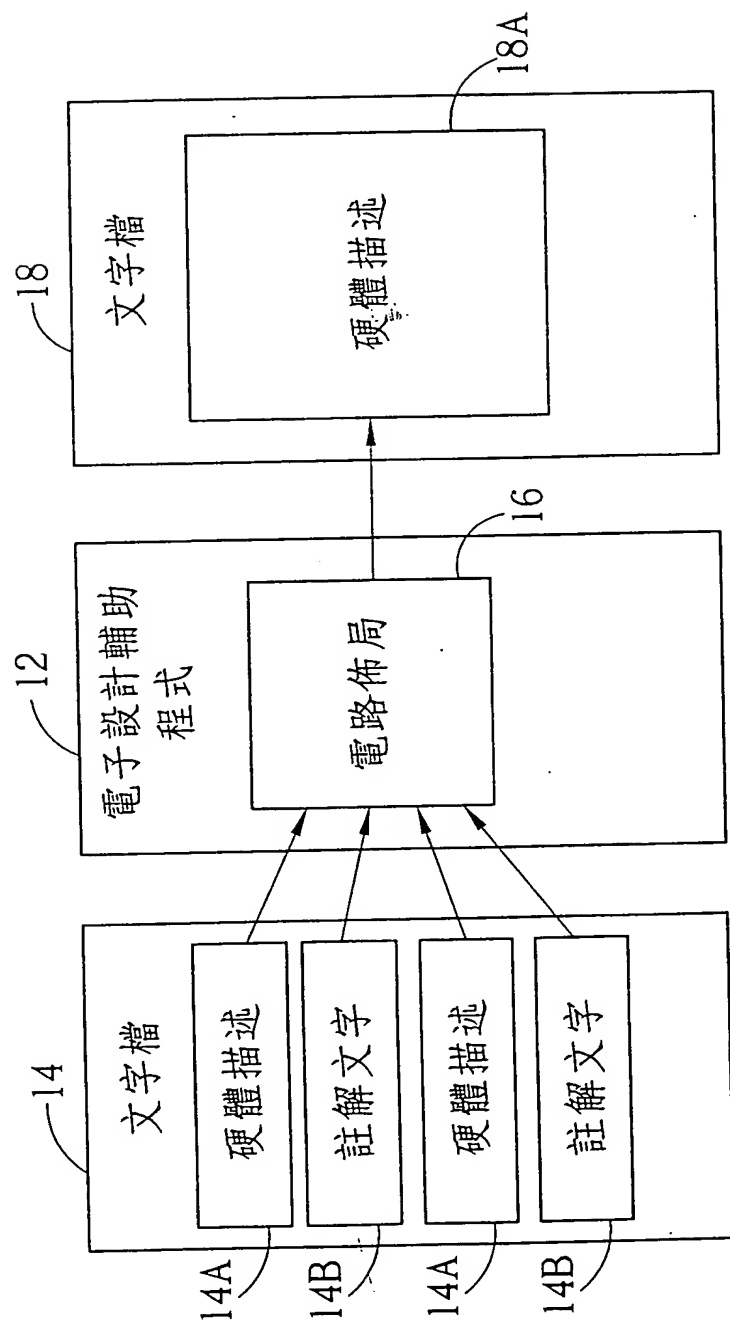
8. 如申請專利範圍第 1 項之方法，其中該符號串係存在於一資料庫內。

9. 如申請專利範圍第 8 項之方法，其中該資料庫係存於一記憶體內。

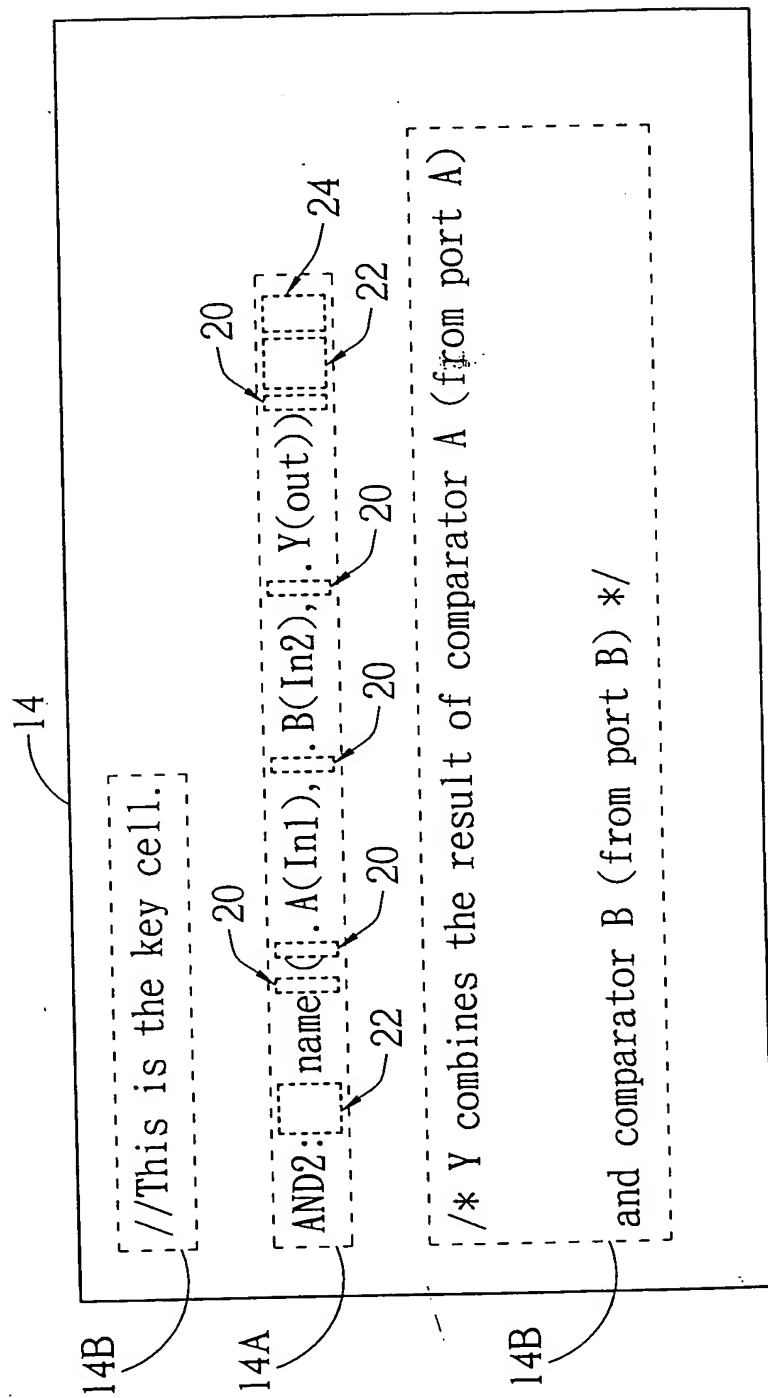
10. 如申請專利範圍第 8 項之方法，其中該資料庫係存於一 硬碟 內。

*hard disk drive*



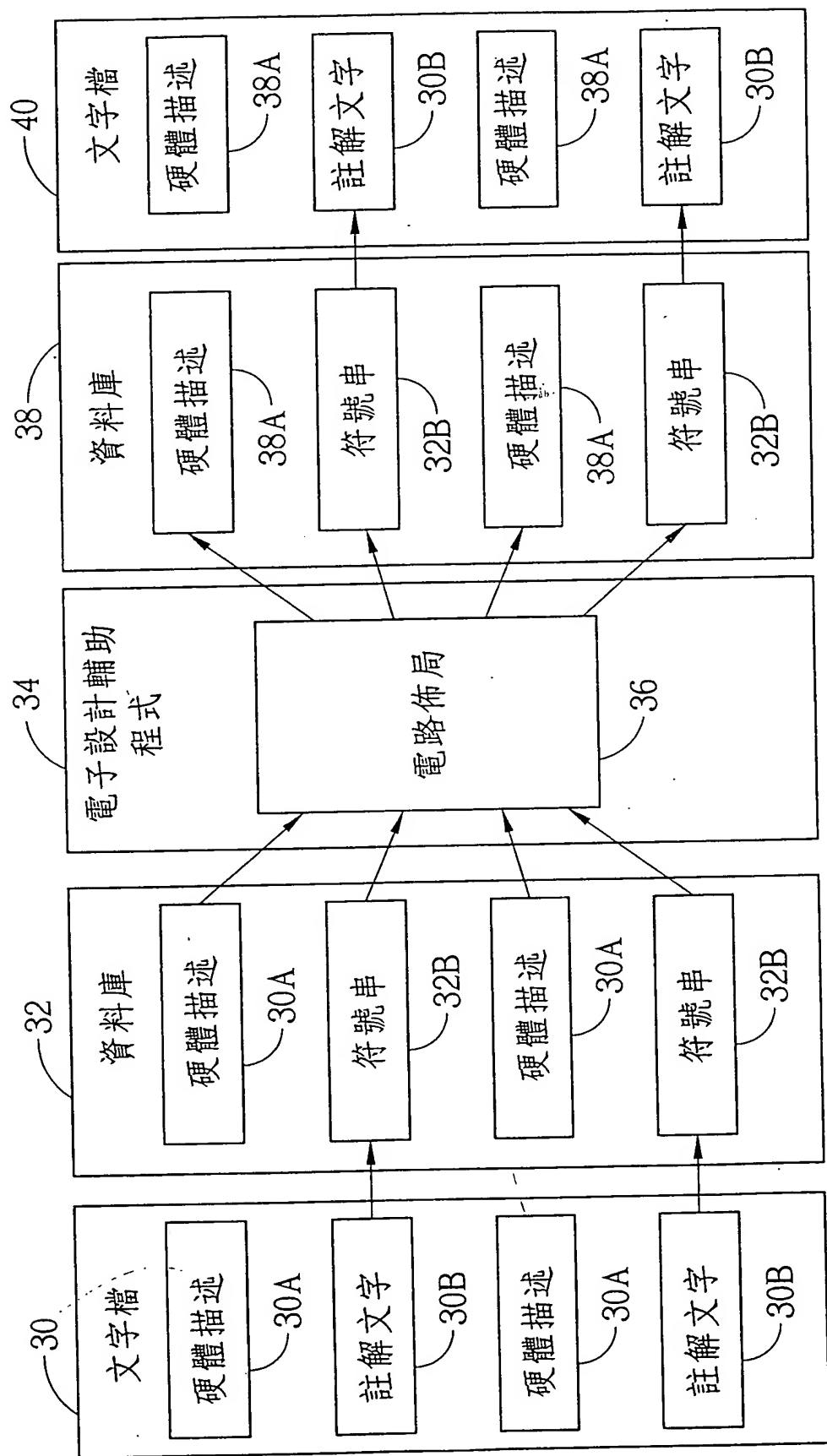


圖一

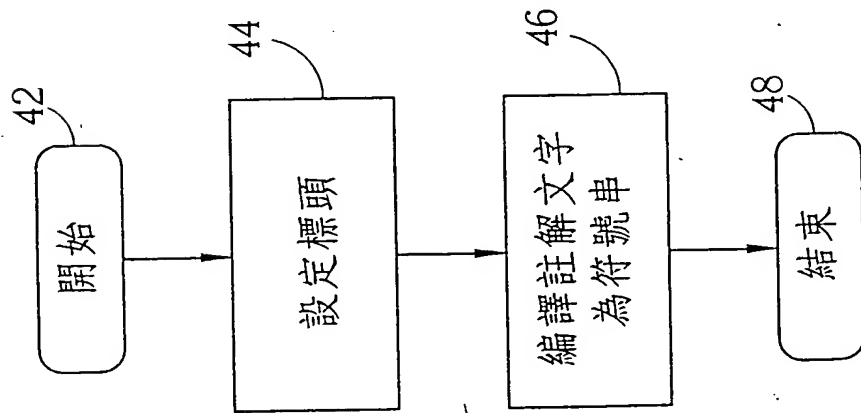


圖二

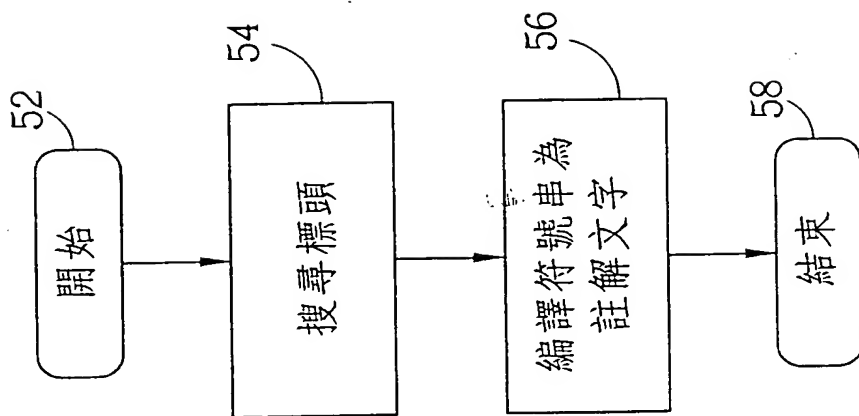




圖三

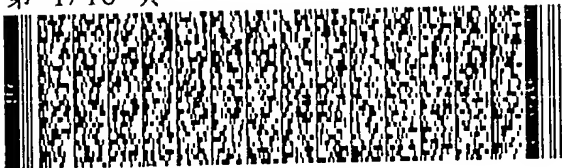


圖四



圖五

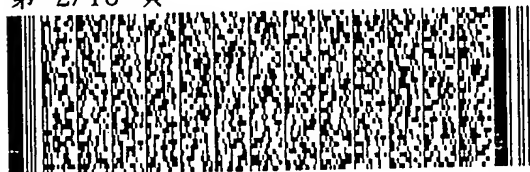
第 1/18 頁



第 2/18 頁



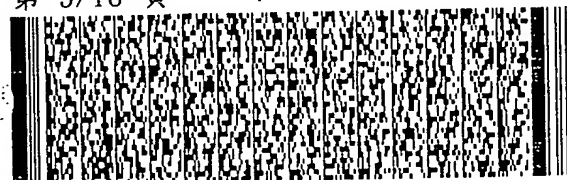
第 2/18 頁



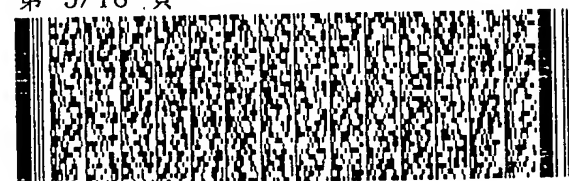
第 3/18 頁



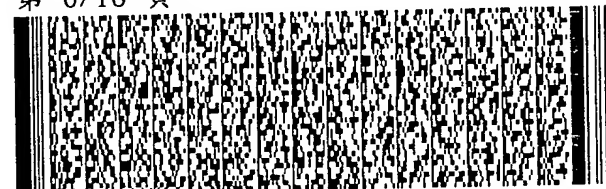
第 5/18 頁



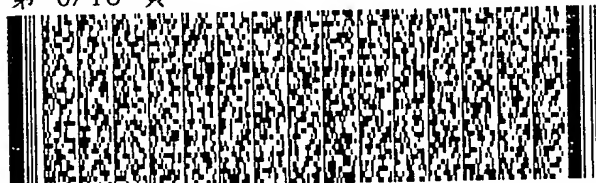
第 5/18 頁



第 6/18 頁



第 6/18 頁



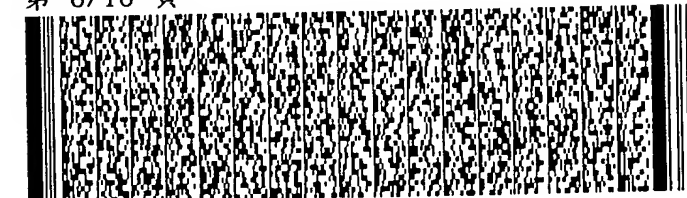
第 7/18 頁



第 7/18 頁



第 8/18 頁



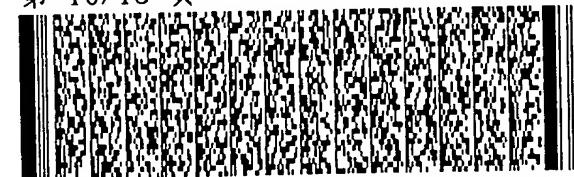
第 9/18 頁



第 9/18 頁



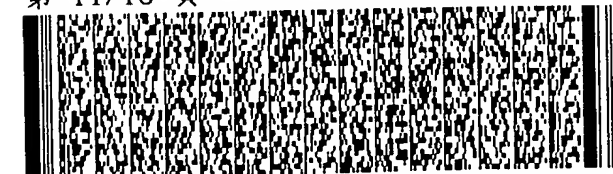
第 10/18 頁



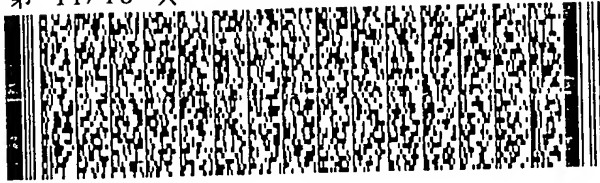
第 10/18 頁



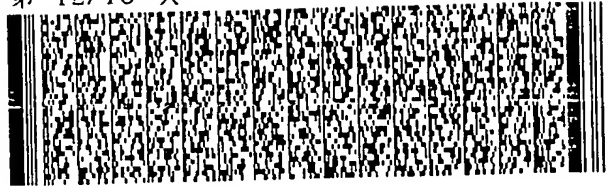
第 11/18 頁



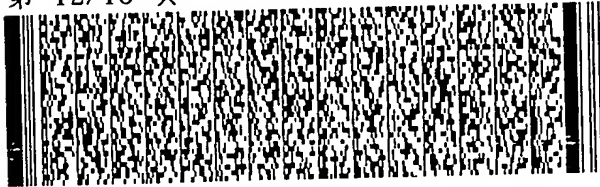
第 11/18 頁



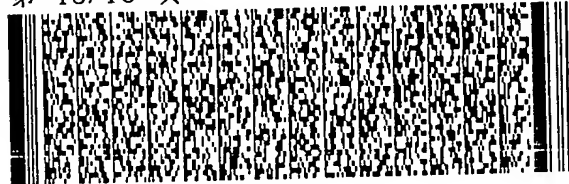
第 12/18 頁



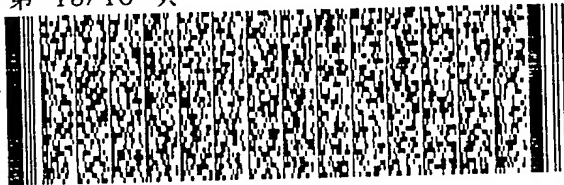
第 12/18 頁



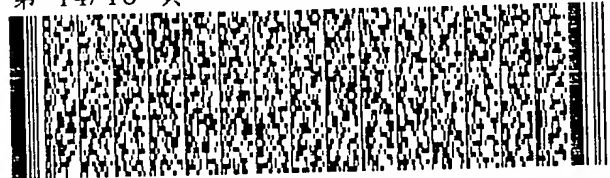
第 13/18 頁



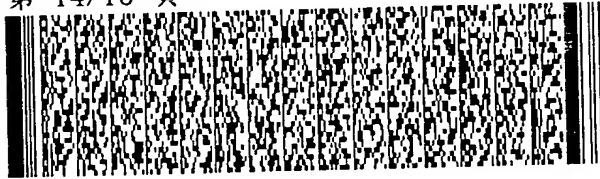
第 13/18 頁



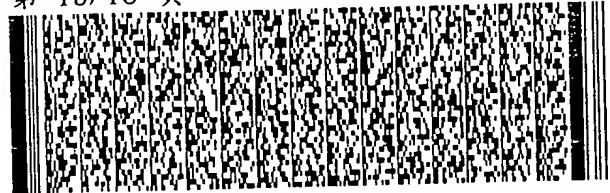
第 14/18 頁



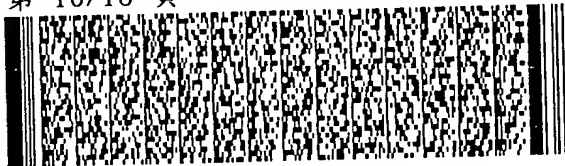
第 14/18 頁



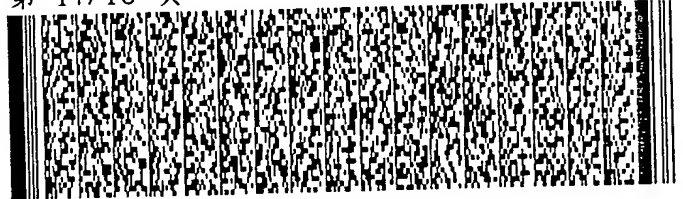
第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

